

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-157874

(P2002-157874A)

(43)公開日 平成14年5月31日(2002.5.31)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 1 1 C 11/15		G 1 1 C 11/15	5 F 0 8 3
	11/14		A
H 0 1 L 27/105		H 0 1 L 43/08	Z
	43/08		4 4 7

審査請求 有 請求項の数6 O L (全 7 頁)

(21)出願番号 特願2001-253609(P2001-253609)

(22)出願日 平成13年8月23日(2001.8.23)

(31)優先権主張番号 1 0 0 4 1 3 7 8 . 1

(32)優先日 平成12年8月23日(2000.8.23)

(33)優先権主張国 ドイツ (D E)

(71)出願人 501209070

インフィネオン テクノロジーズ アクチ
エンゲゼルシャフト

ドイツ連邦共和国 81669 ミュンヘン

ザンクト マルティン シュトラッセ 53

(72)発明者 ディートマー, ゴーグル

アメリカ合衆国 ニューヨーク州 12524

フィッシュキル グリーンヒル ドライ

ブ 4 アパートメント 16 ディー

(74)代理人 100080034

弁理士 原 謙三 (外3名)

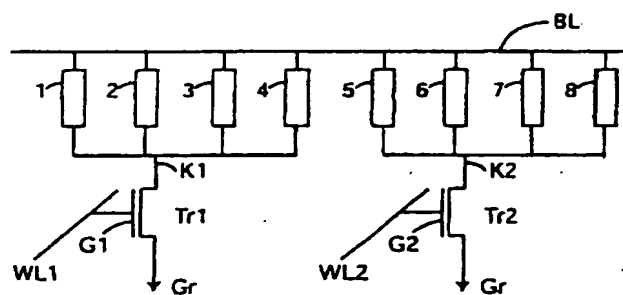
最終頁に続く

(54)【発明の名称】 MRAM配列構造

(57)【要約】

【課題】 トランジスタメモリセルの長所を具備したクロスポイント構造が可能な限り広範囲に共通に存在するMRAM配列構造を提供する。

【解決手段】 ビット線BLとワード線WL1, WL2との間に、それぞれTMR-メモリセル1~4, 5~8がある。メモリセル1~8は、軟質磁性層、トンネル抵抗層および硬質磁性層を含む。TMR-メモリセル1~4, 5~8の端部は、それぞれスイッチングトランジスタTr1, Tr2のドレイン又はソースに接続されている。スイッチングトランジスタTr1, Tr2のゲートは、それぞれワード線WL1, WL2に接続されている。4つのTMR-メモリセル1~4, 5~8は、それぞれ1つのスイッチングトランジスタTr1, Tr2に接続されている。



1

【特許請求の範囲】

【請求項1】 1つのメモリセル領域の中でその一端がビット線（BL）に接続されているとともに、その他端がワード線（WL1，WL2）に接続されている多数のTMR-メモリセル（1～8）を具備したMRAM配列構造であって、

それぞれ同じビット線（BL）に接続されたTMR-メモリセル（1～8）の他端は、少なくとも2つのTMR-メモリセル（1～4又は5～8）を含む群において1つのスイッチングトランジスタ（Tr1又はTr2）に接続されており、該スイッチングトランジスタのゲート（G1，G2）が、対応するワード線（WL1若しくはWL2）に接続されていることを特徴とするMRAM配列構造。

【請求項2】 TMR-メモリセル（1～8）の抵抗は、スイッチングトランジスタ（Tr1，Tr2）および割り当てられた線抵抗からなる全抵抗にほぼ相当することを特徴とする請求項1に記載のMRAM配列構造。

【請求項3】 3つのTMR-メモリセル（1～3又は1'～3'）に1つのスイッチングトランジスタ（Tr1又はTr2）が割り当てられていることを特徴とする請求項1または2に記載のMRAM配列構造。

【請求項4】 スwitchングトランジスタ（Tr1；Tr2）は、TMR-メモリセル（1～8）の下側に予め設けられていることを特徴とする請求項1～3の何れか1項に記載のMRAM配列構造。

【請求項5】 TMR-メモリセル（1～8）が2つのメタライズ面（“メタルA”，“メタルB”）の間に位置していることを特徴とする請求項1～4の何れか1項に記載のMRAM配列構造。

【請求項6】 それぞれ隣接する2つのトランジスタ（Tr1，Tr2）のグラウンド電極（Gr）は、1つの電極にまとめられていることを特徴とする請求項1～5の何れか1項に記載のMRAM配列構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリセル領域においてその一端でビット線に接続されかつその他端でワード線に接続された多数のTMR-メモリセル（TMR＝トンネル磁気抵抗）を具備したMRAM（Magnetoresistive Random Access Memory）配列構造に関するものである。

【0002】

【従来の技術】 MRAM配列構造は、周知のようにTMR効果による強磁性体記憶に基づくものであり、垂直に交差するワード線とビット線との間に、1つの軟質磁性層、1つのトンネル抵抗および1つの硬質磁性層を備えた集積層からなるメモリセルがある。硬質磁性層の磁化方向が与えられており、それに対して、ワード線とビット線とを通して対応する電流が一定方向に送られること

2

により、軟質磁性層の磁化方向を調整できる。これにより、軟質磁性層は、硬質磁性層と平行又は反平行に磁化することができる。平行の磁化における集積層の抵抗値は、反平行の磁化における集積層の抵抗値よりも小さく、これを状態“0”又は“1”、あるいはその反対に評価することができる。

【0003】 MRAMのために、これまでに主として、基本的に互いに区別される2つのアーキテクチャ（構成法）が提案されている。

【0004】 いわゆる“クロスポイント”一構造においては、個々のTMR-メモリセルは、直接的に互いに交差し、かつビット線又はワード線を形成する導体通路の間に設けられている。この構造では、個々のメモリセルのために半導体素子および特にトランジスタが不要である。従って、容易にこのようなメモリセルの複数の層を上下に積層したメモリセル領域の中に設けることができる。これにより、MRAMのために、“ $4F^2/n$ ”のオーダーの非常に高い集積密度が達成可能になる。なお、式中nは、メモリセル領域の上下に積層された個々の層の数であり、かつ“F”は、使用した技術の可能な限り最小の構造面積を示している。

【0005】 このような“クロスポイント”一構造には、選択しないメモリセルを介して寄生電流が強制的に流れるものがある。それ故、大きいメモリセル領域の中に、この寄生電流を小さく保持できるようにするため、個々のTMR-メモリセルは非常に高い抵抗を具備しなければならない。この個々のTMR-メモリセルの高い抵抗のために読み出し過程が比較的遅くなる。

【0006】 トランジスタセルに設けられた別のアーキテクチャにおいては、上記集積層を具備した各々1つのTMR素子にさらに1つのスイッチングトランジスタが組み込まれている（これに関しては、M. Durlamら“磁気トンネル接合素子に基づく不揮発性RAM”を参照）。スイッチングトランジスタを有するこのようなTMR-素子からなるメモリセルを具備したMRAMにおいては、寄生電流が実質的に除外されている。それによって、メモリセルは大きいメモリセル領域でも小さいTMR-素子抵抗を具備することができる。また、読み出し方法がより簡単になるため、“クロスポイント”一構造の場合よりも速いアクセスが可能となる。

【0007】

【発明が解決しようとする課題】 しかし、トランジスタ-メモリセルを具備した構造の欠点は、少なくとも“ $8F^2$ ”、およびそれ以上になる著しく大きい寸法であり、とりわけその場合に1つのメモリセル領域内の各メモリセルのために、1つのトランジスタと共に1つのシリコン表面とが必要になるため、積層化を行うことができない。

【0008】 それ故、本発明の課題は、トランジスタ-メモリセルの長所を備えた“クロスポイント”一構造が

可能な限り広範囲に共通に存在するMRAM配列構造を構成することである。

【0009】

【課題を解決するための手段】本発明のMRAM配列構造(MRAM配列)は、上記の課題を解決するために、1つのメモリセル領域の中でその一端がビット線に接続されているとともに、その他端がワード線に接続されている多数のTMRメモリセルを具備したMRAM配列構造であって、それぞれ同じビット線に接続されたTMRメモリセルの他端は、少なくとも2つのTMRメモリセルを含む群において1つのスイッチングトランジスタに接続されており、該スイッチングトランジスタのゲートが、対応するワード線に接続されていることを特徴としている。

【0010】上記の構成は、トランジスタメモリセルを具備した従来の構造から完全に離反しており、TMR素子1個に対して、1つのスイッチングトランジスタは設けられておらず、複数のTMRメモリセルが1つのビット線に沿って1群にまとめられており、この群に1つのスイッチングトランジスタが配置されている。これにより、複数のTMRメモリセルに1つのスイッチングトランジスタを設けることによって、トランジスタに必要な所要スペースを削減できるため、メモリセル領域での本質的なパッケージング密度の増大を可能にする。よって、本発明によれば、広範囲に共通に存在するMRAM配列構造を提供できる。

【0011】また、TMRメモリセルの抵抗は、スイッチングトランジスタおよび割り当てられた線抵抗(配線抵抗)からなる全抵抗にほぼ相当することがより好ましい。

【0012】トランジスタを具備したMRAMメモリセルの速い読出は、両状態の読出時に得られる電流の可能な限り大きい絶対差が存在する場合に保証されている。よって、メモリセルにおける軟質磁性層と硬質磁性層との平行状態と反平行状態との間の電流差を可能な限り大きくしなければならない。本発明のMRAM配列構造では、TMRメモリセルの抵抗と上記の全抵抗とからなる直列抵抗が小さくなるほど、読出時に得られる絶対読出し信号がますます大きくなるため、速い読出が可能になる。

【0013】また、3つのTMRメモリセルに1つのスイッチングトランジスタが割り当てられていることがより好ましい。

【0014】このように、3つのTMRメモリセルに1つのスイッチングトランジスタを配列することにより、TMRメモリセル個々に1個のトランジスタを設けた場合と比べて、トランジスタを設けるために必要なスペースを大きく削減できる。よって、本発明のMRAM配列構造においては、メモリセル領域におけるパッケージング密度の増大が可能になる。

【0015】また、スイッチングトランジスタは、TMRメモリセルの下側に予め設けられていることがより好ましい。

【0016】このように、TMRメモリセルの下側に1つのスイッチングトランジスタが配列されることによって、TMRメモリセルとこれに割り当てられたトランジスタとについての省スペース型のレイアウトが可能になる。

【0017】また、TMRメモリセルが2つのメタライズ面の間に位置していることがより好ましい。

【0018】また、それぞれ隣接する2つのトランジスタのグランド電極は、1つの電極にまとめられていることがより好ましい。

【0019】これにより、グランド電極が1つにまとめられていない場合と比較して、メモリセル領域における空きスペースが多くなるため、パッケージング密度の増大が可能になる。

【0020】また、上記課題は、冒頭に述べた形式のMRAM配列構造において本発明により、それぞれ同じビット線に接続されたTMRメモリセルの他端が少なくとも2つのTMRメモリセルを包含したグループの中で1つのスイッチングトランジスタに接続されており、該スイッチングトランジスタのゲートを対応するワード線に接続することにより解決される。

【0021】本発明によるMRAM配列構造においては、このようにトランジスタメモリセルを具備した従来の構造から完全に離反しており、もはや各TMR素子に1つのスイッチングトランジスタは組み込まれていない。むしろ、本発明によるMRAM配列構造においては、複数のTMRメモリセルが1つのビット線に沿って1群にまとめられており、この群に1つのスイッチングトランジスタが配置されている。

【0022】複数のTMRメモリセル、例えば、3つのTMRメモリセルにただ1つのスイッチングトランジスタを配列することによって、トランジスタに必要な所要スペースを著しく低減することができるため、本発明によるMRAM配列構造で使用したアーキテクチャでは、メモリセル領域での本質的なパッケージング密度の増大を可能にする。

【0023】本発明によるMRAM配列構造では、例えば、3つのTMRメモリセルの下側に1つのスイッチングトランジスタが配列されることによって、TMRメモリセルとこれに割り当てられたトランジスタとの省スペース型のレイアウトも可能になる。

【0024】しかしまた、当然ながら1つのスイッチングトランジスタに3つ以上のTMRメモリセルを設けることもできる。さらにまた、例えば、ただ2つのTMRメモリセルを1つのスイッチングトランジスタに配属することも可能である。最終的には、例外的に1つのスイッチングトランジスタにただ1つのメモリセルの割

5

り当てもできるように、1つのメモリセル領域のメモリセルの配分をスイッチングトランジスタで行うことができる。つまり、本発明に本質的なことは、多数のメモリセルを具備した1つのメモリセル領域で、このメモリセル領域の多数のメモリセルのために、1つのスイッチングトランジスタがその都度1つのビット線の複数のメモリセルに割り当てられるように、このスイッチングトランジスタに配置されていることである。

【0025】トランジスタを具備したMRAM-メモリセルの速い読出は、両状態の読出時に得られる電流の可能な限り大きい絶対差が存在する場合に保証されている。すなわち、両磁性層の平行状態と反平行状態との間の電流差を可能な限り大きくしなければならない。これを達成するために、まず初めにTMR-メモリセル若しくはTMR-素子の抵抗を、この線のスイッチングトランジスタと抵抗とからなるこの抵抗と直列になる全抵抗とはほぼ等しく選ばなくてはならない。これにより、TMR-メモリセルの抵抗と上記の全抵抗とからなる直列抵抗が小さくなるほど、読出時に得られる絶対読出し信号がますます大きくなる。

【0026】つまり、本発明によるMRAM配列構造においては、すでに上述したように、 n TMR-メモリ素子 (n 個のTMR-メモリ素子) がビット線に沿って平行に接続されており、かつその他端でスイッチングトランジスタと接続されている。これは、それ自体に、 n (n 個) の互いに平行なTMR-メモリ素子を通して流れる信号電流が、この係数 n の分だけそれぞれ低減若しくは“希釈”されるという欠点を有する。しかし、この欠点は、少なくとも部分的に、ただ3つのTMR-メモリ素子のための1つのレイアウト面の下側に、1つのス

イッチングトランジスタ用のスペースを難く見出すことによって補償でき、1つのスイッチングトランジスタに3つのTMR-メモリセルを割り当てる際に、比較的小さい直列抵抗を保証できる。

【0027】このように3つのTMR-メモリセルが、1つのスイッチングトランジスタと一緒に接続される場合には、それによって得られた3つのメモリセルからなる群が、例えば“15... 16F²”の面積を占め、これが各メモリセルのための“5... 5.3F²”の所要面積に相当する。この値は、それぞれ1つのTMR-素子とトランジスタとからなるメモリセルを具備した構造において必要になる“7... 8F²”の値よりも著しく小さくなる。また、このような3つのTMR-メモリセル用の1つのスイッチングトランジスタを具備したレイアウトにおいては、各メモリセルに1つのトランジスタを具備した構造と比べて3倍のトランジスタ幅を使用することができるため、対応するTMR-素子の抵抗の調整により、両状態間で等しい絶対信号差に達することができる。

【0028】

6

【発明の実施の形態】以下、本発明を図面を利用してより詳しく説明する。各図面は以下を示す。

【0029】図1は、本発明によるMRAM配列構造を説明するための概略回路図である。

【0030】図2(a)~2(d)は、3つのメモリセルがそれぞれ1つのスイッチングトランジスタを具備した1群のためのレイアウトを示す説明図である。

【0031】図3(a)~3(c)は、本発明によるMRAM配列構造の製造方法を説明するための種々の工程を示す説明図である。

【0032】なお、図中、互いに対応する素子には、それぞれ同じ符号を付す。

【0033】図1は、1つのビット線BLと、ビット線に対して本質的に垂直であり、ある間隔で交差するワード線WL1およびWL2とを備えたMRAM配列構造を示す。ビット線BLとワード線WL1との間に、TMR-メモリセル1, 2, 3および4があり、かつビット線BLとワード線WL2との間にTMR-メモリセル5, 6, 7および8がある。これらのメモリセルは、それぞれ初めに述べた通常の方法で軟質磁性層、トンネル抵抗層および硬質磁性層から構成されている。

【0034】ビット線BLに対置したTMR-メモリセル1~4の端部は、スイッチングトランジスタTr1のドレイン若しくはソースに接続されており、それに対し、ビット線BLに対置するスイッチングトランジスタ5~8の端部は、スイッチングトランジスタTr2のドレイン若しくはソースに接続されている。スイッチングトランジスタTr1のゲートは、ワード線WL1に接続されており、かつスイッチングトランジスタTr2のゲートは、ワード線WL2に接続されている。スイッチングトランジスタTr1およびTr2のソース若しくはドレインは、接地されるか、あるいはグランドに置かれる。図1の実施形態において、それぞれ4つのTMR-メモリセル1~4, 5~8は、それぞれ1つのスイッチングトランジスタTr1, Tr2に割り当てられている。この4つのTMR-メモリセルの代わりに、2つ又は3つのメモリセル、あるいは4つより多いメモリセルに1つのスイッチングトランジスタを配属させることができる。

【0035】これにより、複数のTMR-メモリセルに1つのスイッチングトランジスタを設けることによって、トランジスタに必要な所要スペースを削減できるため、メモリセル領域での本質的なパッケージング密度の増大を可能にする。よって、本発明によれば、広範囲に共通に存在するMRAM配列構造を提供できる。

【0036】読出し過程においては、ビット線BLに一定の1~2Vの電圧が印加される。その場合、所定のワード線のトランジスタに至るまでは、全てのワード線のトランジスタが遮断される。本実施形態においては、ワード線WL1のトランジスタが導通することを仮定して

7

おり、すなわち、本実施形態においてスイッチングトランジスタ T_{r1} が導通されているものとする。

【0037】そこで、例えば、TMR-メモリセル2がある低インピーダンス状態（両磁性層が平行の磁化）にあり、他のTMR-メモリセル1、3および4がある高インピーダンス（磁性層が反平行の磁化）にあるときには、全てのTMR-メモリセル1～4が高インピーダンス状態にある場合にワード線 $WL1$ に印加される信号とは区別される対応する信号がワード線 $WL1$ で得られる。

【0038】TMR-メモリセル1～4のいずれかが低インピーダンス状態にあることを決める（検知する）ために、DRAMの場合と同様に、それぞれのTMR-メモリセルへの情報の書き戻し、事前に得られた信号との比較が行われる。この方法で、TMR-メモリセル2が低インピーダンス状態にあり、他方、TMR-メモリセル1、3および4が高インピーダンス状態を含む、換言すれば、例えば、“1”（情報“1”）がTMR-メモリセル2に割り当てられており、他方、TMR-メモリセル1、3および4が情報“0”を含有していることを検知できる。

【0039】図2（a）～2（d）は、図1のMRAM配列構造のためのレイアウトを示す。

【0040】図2（a）に示すように、シリコン半導体の能動的領域AAの中にソースSおよびドレインDがそれぞれ両方のトランジスタ T_{r1} および T_{r2} に設けられており、かつ対応する拡散（拡散領域）を通して接点K1若しくはK2に接続されている。トランジスタ T_{r1} は、1つのゲート電極G1を有し、かつトランジスタ T_{r2} は1つのゲート電極G2を有する。ゲート電極G1は、ワード線 $WL1$ に接続されており、それに対し、ゲート電極G2はワード線 $WL2$ に接続されている。さらに、図2（a）には、両方のトランジスタ T_{r1} および T_{r2} のグランド電極 G_r が示されている。

【0041】図2（b）は、対応するメタライゼーション9（接点K1用）、10（トランジスタ T_{r1} のドレインD用）、11（両方のトランジスタ T_{r1} および T_{r2} のグランド G_r 用）、12（トランジスタ T_{r2} のドレイン用）および13（トランジスタ T_{r2} の接点K2用）を具備した図2（a）の配列用の第1のメタライズ面（メタルA）を示す。メタライゼーション14および15は、トランジスタ若しくはTMR-メモリセルの隣接した群に割り当てられる。

【0042】図2（c）に示すように、図2（b）の第1のメタライズ面（“メタルA”）にそれぞれTMR-メモリセル1、2および3若しくは1'、2'および3'を具備したストライプ配列（“ストラップ”）16、17がある。これらのTMR-メモリセル1～3若しくは1'～3'は、図2（d）に示すように、1つの面で第2のメタライズ面（“メタルB”）の上方に延長

8

するビット線BLに割り当てられている。これは、図2（d）に、第2のメタライズ面の両方のストライプが符号BLを付けることによって暗示されている。

【0043】図2（a）～図2（d）の実施形態においては、それぞれのトランジスタ T_{r1} 若しくは T_{r2} にただ3つのTMR-メモリセルが割り当てられている。これに対し、図1の実施形態においては、それぞれのトランジスタ T_{r1} 又は T_{r2} がそれぞれ4つのTMR-メモリセル1～4若しくは5～8を有することを注記しておく。

【0044】図3（a）～図3（c）は、TMR-メモリセル若しくはTMR-素子の製造方法を具体例で示す概略断面である。

【0045】スイッチングトランジスタとしてのCMOSトランジスタと第1のメタライズ面（“メタルA”；図2（b）参照）とを具備した半導体（図示せず）に、二酸化ケイ素層18、19があり、それらの中に導体通路L1、L2およびL3が設けられている。導体通路L1およびL2は、2つのTMR-メモリセル、例えばTMR-メモリセル1および2の書込用の線として利用される。導体通路L3は、対応するメタライゼーションを具備したコンタクトホールKLの中で、例えば、その下側にあり、かつシリコン半導体に埋め込まれたトランジスタ T_{r1} の接点K1に接続されている。

【0046】さらに、導体通路L3は、図3（b）に示したように、メタライゼーション20を介してTMR-素子1および2に接続される。メタライゼーション20およびTMR-素子若しくはTMR-メモリセル1および2は、通常の方法でフォトリソグラフィおよびエッチングによって製造される。

【0047】別の二酸化ケイ素層21とメタライゼーション22による第2のメタライズ面との塗布によって、最終的に図3（c）に示した配列が得られる。

【0048】TMR-メモリセル1および2には、メタライゼーションL1若しくはL2およびメタライゼーション22に、TMR-メモリセル1および2の両磁性層の反平行若しくは平行の磁化を生ぜしめる対応する信号が印加されることによって書込まれる。

【0049】また、本発明は、複数のTMR-メモリセル（1～4又は5～8）にそれぞれ1つのスイッチングトランジスタ（ T_{r1} ； T_{r2} ）が割り当てられているMRAM配列構造に関するものとしてもよい。

【0050】また、本発明は、1つのメモリセル領域の中でその一端がビット線（BL）に接続されているとともに、その他端がワード線（ $WL1$ 、 $WL2$ ）に接続されている複数のTMR-メモリセル（1～8）を具備したMRAM配列構造であって、それぞれ同じビット線（BL）に接続されたTMR-メモリセル（1～8）の他端は、TMR-メモリセル（1～4又は5～8）を含む群において1つのスイッチングトランジスタ（ T_{r1}

9

又はTr 2)に接続されており、該スイッチングトランジスタのゲート(G1, G2)が、対応するワード線(WL1若しくはWL2)に接続されていることを特徴とするMRAM配列構造としてもよい。

【0051】また、本発明は、1つのメモリセル領域の中でその一端がビット線(BL)に接続されているとともに、その他端がワード線(WL1, WL2)に接続されている多数のTMR-メモリセル(1~8)を具備したMRAM配列構造であって、それぞれ同じビット線(BL)に接続されたTMR-メモリセル(1~8)の他端が、複数のTMR-メモリセル(1~4又は5~8)を含む群にまとめられ、その群毎に1つのスイッチングトランジスタ(Tr1又はTr2)に接続されていることを特徴とするMRAM配列構造としてもよい。

【0052】また、本発明は、3つのTMR-メモリセル(1~3; 5~8)に1つのスイッチングトランジスタ(Tr1又はTr2)が割り当てられていることを特徴とするMRAM配列構造であってもよい。

【0053】また、本発明のMRAM配列構造は、メモリ装置と表現してもよい。

【0054】

【発明の効果】本発明のMRAM配列構造は、以上のように、それぞれ同じビット線(BL)に接続されたTMR-メモリセル(1~8)の他端は、少なくとも2つのTMR-メモリセル(1~4又は5~8)を含む群の中で1つのスイッチングトランジスタ(Tr1又はTr2)に接続されており、該スイッチングトランジスタのゲート(G1, G2)が、対応するワード線(WL1又はWL2)に接続されている構成である。

【0055】本発明のMRAM配列構造は、トランジスタ-メモリセルを具備した従来の構造から完全に離反しており、TMR-素子1個に対して、1つのスイッチングトランジスタは設けられておらず、複数のTMR-メモリセルが1つのビット線に沿って1群にまとめられており、この群に1つのスイッチングトランジスタが配置されている。これにより、複数のTMR-メモリセルに1つのスイッチングトランジスタを設けることによって、トランジスタに必要な所要スペースを削減できるため、メモリセル領域で本質的にパッケージング密度の増大を可能にする。よって、本発明によれば、広範囲に共通に存在するMRAM配列構造を提供できるという効果を奏する。

【0056】また、TMR-メモリセルの抵抗は、スイッチングトランジスタおよび割り当てられた線抵抗からなる全抵抗にほぼ相当することがより好ましい。

【0057】トランジスタを具備したMRAM-メモリセルの速い読出は、両状態の読出時に得られる電流の可能な限り大きい絶対差が存在する場合に保証されている。よって、メモリセルにおける軟質磁性層と硬質磁性層との平行状態と反平行状態との間の電流差を可能な限

10

り大きくしなければならない。本発明のMRAM配列構造では、TMR-メモリセルの抵抗と上記の全抵抗とからなる直列抵抗が小さくなるほど、読出時に得られる絶対読出し信号がますます大きくなるため、速い読出が可能になるという効果を奏する。

【0058】また、3つのTMR-メモリセルに1つのスイッチングトランジスタが割り当てられていることがより好ましい。

【0059】それゆえ、3つのTMR-メモリセルに1つのスイッチングトランジスタを配列することにより、TMR-メモリセル個々に1個のトランジスタを設けた場合と比べて、トランジスタを設けるために必要なスペースを大きく削減できる。よって、本発明のMRAM配列構造においては、メモリセル領域におけるパッケージング密度の増大が可能になるという効果を奏する。

【0060】また、スイッチングトランジスタは、TMR-メモリセルの下側に予め設けられていることがより好ましい。

【0061】それゆえ、TMR-メモリセルの下側に1つのスイッチングトランジスタが配列されることによって、TMR-メモリセルとこれに割り当てられたトランジスタとについての省スペース型のレイアウトが可能になるという効果を奏する。

【0062】また、TMR-メモリセルが2つのメタライズ面の間に位置していることがより好ましい。

【0063】また、それぞれ隣接する2つのトランジスタのグランド電極は、1つの電極にまとめられていることがより好ましい。

【0064】それゆえ、グランド電極が1つにまとめられていない場合と比較して、メモリセル領域における空きスペースが多くなるため、パッケージング密度の増大が可能になるという効果を奏する。

【図面の簡単な説明】

【図1】図1は、本発明によるMRAM配列構造を説明するための概略的な回路図である。

【図2】図2(a)~図2(d)は、3つのメモリセルがそれぞれ1つのスイッチングトランジスタを具備した1群のためのレイアウトを示す説明図である。

【図3】図3(a)~図3(c)は、本発明によるMRAM配列構造の製造方法を説明するための種々の工程を示す説明図である。

【符号の説明】

1~8	MRAM-メモリセル
9~15	メタライゼーション
16・17	ストライプ配列
18・19	二酸化ケイ素層
20	メタライゼーション
21	二酸化ケイ素層
22	メタライゼーション
Tr 1	第1のトランジスタ

50

11

Tr 2 第2のトランジスタ

K 1 第1の接点

K 2 第2の接点

BL ビット線

Gr グランド電極

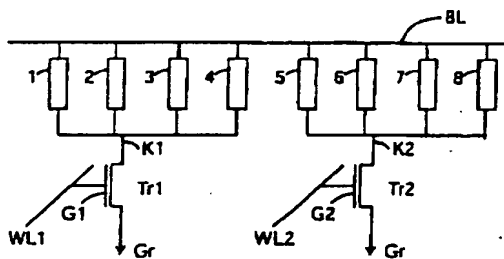
WL 1 第1のワード線

WL 2 第2のワード線

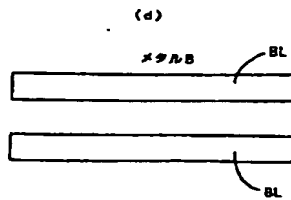
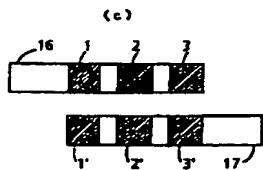
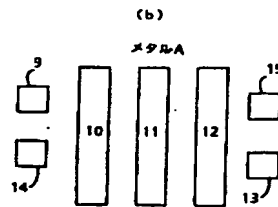
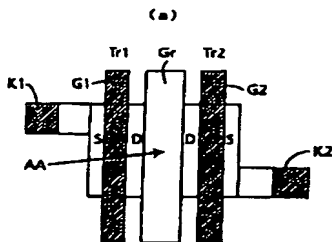
G 1 第1のゲート

G 2 第2のゲート

【図1】



【図2】



12

* S ソース

D ドレイン

メタル A 第1のメタライズ面

メタル B 第2のメタライズ面

L 1 第1の導体通路

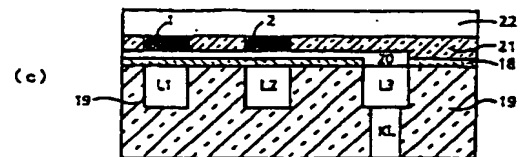
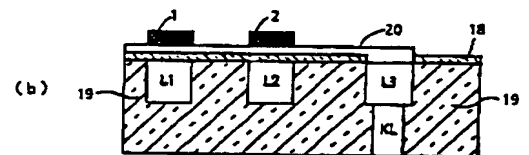
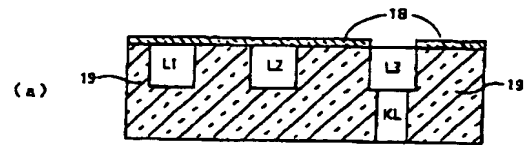
L 2 第2の導体通路

L 3 第3の導体通路

KL コンタクトホール

*

【図3】



フロントページの続き

(72)発明者 ティル, シュレッサー
ドイツ連邦共和国 01109 ドレスデン
シュテンダーラー シュトラーセ 10

Fターム(参考) 5F083 FZ10 LA12 LA16